

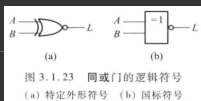
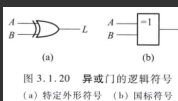
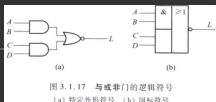
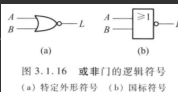
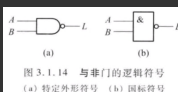
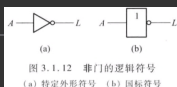
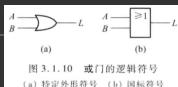
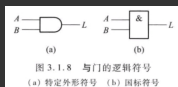
第一章 数字逻辑基础

十进制 $\rightarrow$ 二进制整 十进制 $\rightarrow$ 二进制小 乘2取整

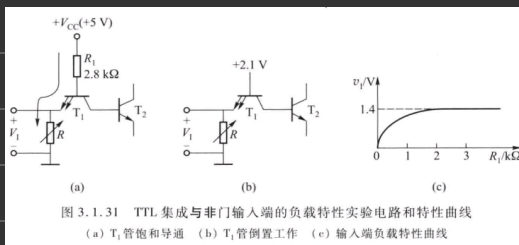
正数 原 = 反 = 补 负数 反: 符号位不变, 其余取反 补 = 反 + 1

$[N]_{\text{补码}} = \text{最大数} - (N)_2$

补 + 补 = 补 补的补 = 原

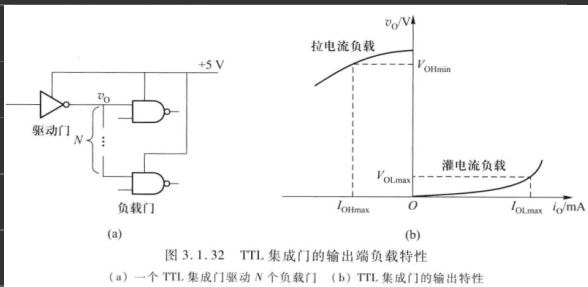
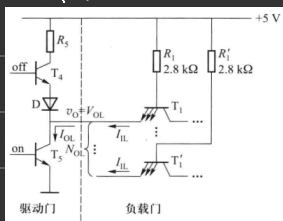


TTL 输入负载特性



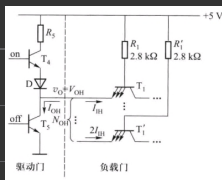
TTL 输出端负载特性

① 低电平输出 (灌)



$$I_{OL} = N_{OL} \cdot I_{IL} \quad N_{OL} = \frac{I_{OL\max}}{I_{IL}} (\text{取整}) \quad T_5 \text{ 饱和导通}, T_4, D \text{ 截止}$$

② 高电平输出(拉)



$$I_{OH} = N_{OH} \cdot I_{IH} \quad N_{OH} = \frac{I_{OHmax}}{I_{IH}}$$

T_4, D 导通, T_5 截止

与非门负载能力, N_{OL} 和 N_{OH} 中较小者

扇出系数总是指 N_{OL}

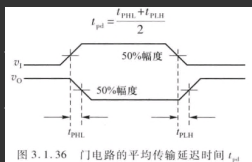


图 3.1.36 门电路的平均传输延迟时间 t_{pd}

TTL 推挽式结构, 电路的两输出端不允许并

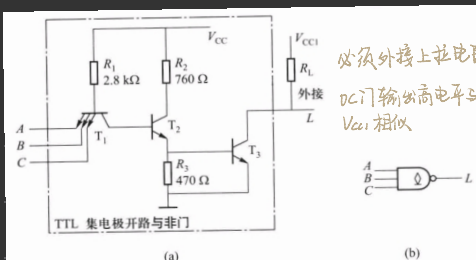


图 3.1.38 集电极开路与非门电路

(a) 集电极开路与非门电路 (b) 集电极开路与非门逻辑符号

Output: 0 / 开路(或悬空、高阻)

线与: 输出端可直接连在一起

$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

实现与或非

通过 V_{CC1} 实现逻辑电平转换

R_L 中串联发光二极管, 可作电平指示

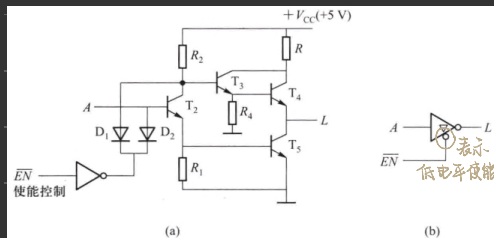


图 3.1.41 TTL 三态输出电路

(a) 三态输出电路 (b) 三态输出门逻辑符号

对于TTL与非门,悬空等于高阻

CMOS输入不允许悬空

(1) 运算定律

0—1 律:

$$\textcircled{1} A \cdot 0 = 0$$

$$A + 1 = 1$$

$$\textcircled{2} A \cdot 1 = A$$

$$A + 0 = A$$

重叠律:

$$\textcircled{3} A \cdot A = A$$

$$A + A = A$$

互补律:

$$\textcircled{4} A \cdot \bar{A} = 0$$

$$A + \bar{A} = 1$$

否定之否定律:

$$\textcircled{5} \bar{\bar{A}} = A$$

交换律:

$$\textcircled{6} A \cdot B = B \cdot A$$

$$A + B = B + A$$

结合律:

$$\textcircled{7} (A \cdot B) \cdot C = A \cdot (B \cdot C)$$

$$(A + B) + C = A + (B + C)$$

分配律:

$$\textcircled{8} A \cdot (B + C) = A \cdot B + A \cdot C$$

$$A + (B \cdot C) = (A + B) \cdot (A + C)$$

摩根定律:

$$\textcircled{9} \overline{A \cdot B \cdot C \cdot \dots} = \bar{A} + \bar{B} + \bar{C} + \dots$$

$$\overline{A + B + C + \dots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \dots$$

(2) 几个常用公式

$$\textcircled{1} A + AB = A$$

$$\textcircled{2} AB + \bar{A}B = B$$

$$\textcircled{3} A + \bar{A}B = A + B$$

上述三个公式可以用分配律证明。

$$\textcircled{4} AB + \bar{A}C + BC = AB + \bar{A}C$$

用代数法证明如下:

$$AB + \bar{A}C + BC = AB + \bar{A}C + BC(A + \bar{A})$$

$$= AB + \bar{A}C + ABC + \bar{A}BC$$

$$= AB + \bar{A}C$$

公式④的推论: $AB + \bar{A}C + BCDEF = AB + \bar{A}C$

证明:

$$\begin{aligned}
 & AB + \overline{AC} + BCDEF \\
 &= AB + \overline{AC} + BC + BCDEF \\
 &= AB + \overline{AC} + BC(1 + DEF) \\
 &= AB + \overline{AC} + BC \\
 &= AB + \overline{AC}
 \end{aligned}$$

⑤ $A \cdot \overline{B} + \overline{A} \cdot B = \overline{A} \cdot \overline{B} + A \cdot B$

证明:

$$\overline{A \cdot \overline{B} + \overline{A} \cdot B} = \overline{A \cdot \overline{B}} \cdot \overline{\overline{A} \cdot B} = (\overline{A} + B)(A + \overline{B}) = \overline{A} \cdot \overline{B} + AB$$

公式⑤说明异或非为同或, 异或和同或互为反函数关系。

对偶规则 $\cdot \rightarrow + \quad + \rightarrow \cdot \quad 0 \rightarrow 1 \quad 1 \rightarrow 0$ 得到 F'

反演规则 $\cdot \rightarrow + \quad + \rightarrow \cdot \quad 0 \rightarrow 1 \quad 1 \rightarrow 0$ 原变量 $\rightarrow$ 反变量 反变量 $\rightarrow$ 原变量

$$\begin{aligned}
 L &= A + B + \overline{C} + D + \overline{E} \\
 \overline{L} &= \overline{A} \cdot \overline{B} \cdot C + \overline{D} + E
 \end{aligned}$$

表 3.1.17 三变量函数的最小项和最大项

十进制数	A	B	C	最小项 m	最大项 M
0	0	0	0	$m_0 = \overline{A} \overline{B} \overline{C}$	$M_0 = A + B + C$
1	0	0	1	$m_1 = \overline{A} \overline{B} C$	$M_1 = A + B + \overline{C}$
2	0	1	0	$m_2 = \overline{A} B \overline{C}$	$M_2 = A + \overline{B} + C$
3	0	1	1	$m_3 = \overline{A} B C$	$M_3 = A + \overline{B} + \overline{C}$
4	1	0	0	$m_4 = A \overline{B} \overline{C}$	$M_4 = \overline{A} + B + C$
5	1	0	1	$m_5 = A \overline{B} C$	$M_5 = \overline{A} + B + \overline{C}$
6	1	1	0	$m_6 = A B \overline{C}$	$M_6 = \overline{A} + \overline{B} + C$
7	1	1	1	$m_7 = A B C$	$M_7 = \overline{A} + \overline{B} + \overline{C}$

最小项: ① 仅1个最小项取1 ② $m_i \cdot m_j = 0, i \neq j$ ③ $\sum m_i = 1$ ^{相与}

最大项: ① 仅1个最大项为0 ② $M_i + M_j = 1, i \neq j$ (相或) ③ $\prod M_i = 0$

$$m_i = \overline{M}_i \quad M_i = \overline{m}_i$$

$$L = f(A, B, C) = m_3 + m_5 + m_7 = \sum m(3, 5, 7) \quad L = f(A, B, C) = M_0 \cdot M_1 \cdot M_2 \cdot M_4 = \prod M(0, 1, 2, 4, 6)$$

$\begin{matrix} & BC \\ A & \end{matrix}$		00	01	11	10
0	1	m_0	m_1	m_3	m_2
		m_4	m_5	m_7	m_6

(a)

$\begin{matrix} & CD \\ AB & \end{matrix}$		00	01	11	10
00	01	m_0	m_1	m_3	m_2
		m_4	m_5	m_7	m_6
11	10	m_{12}	m_{13}	m_{15}	m_{14}
		m_8	m_9	m_{11}	m_{10}

$\begin{matrix} & CDE \\ AB & \end{matrix}$		000	001	011	010	110	111	101	100
00	01	m_0	m_1	m_3	m_2	m_6	m_7	m_5	m_4
		m_8	m_9	m_{11}	m_{10}	m_{14}	m_{15}	m_{13}	m_{12}
11	10	m_{24}	m_{25}	m_{27}	m_{26}	m_{30}	m_{31}	m_{29}	m_{28}
		m_{16}	m_{17}	m_{19}	m_{18}	m_{22}	m_{23}	m_{21}	m_{20}

约束项 0/1

第二章 基本逻辑电路分析与设计

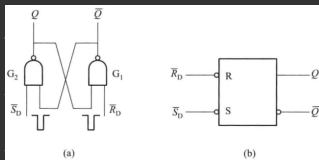


图 3.2.2 与非门构成的基本 RS 锁存器

(a) 电路图 (b) 逻辑符号

$\bar{R}_D = \bar{S}_D = 1$, 保持

$\bar{R}_D = 0, \bar{S}_D = 1$, 置零(复位)

$\bar{R}_D = 1, \bar{S}_D = 0$, 置 1

$\bar{R}_D = 0, \bar{S}_D = 0$, 随机(禁用)

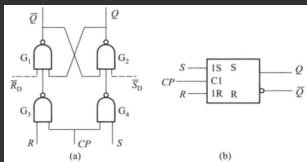


图 3.2.6 同步 RS 锁存器

(a) 内部逻辑电路图 (b) 逻辑符号

$R = 0, S = 0$, 保持

$$Q^{n+1} = S + \bar{R} \cdot Q^n$$

$R = 0, S = 1$, 置 1

$R \cdot S = 0$ (约束条件)

$R = 1, S = 0$, 置 0

$R = 1, S = 1$, 禁止

$$Q^{n+1} = S + \bar{R} Q^n = D + \bar{D} Q^n = D$$

CP 为高电平时

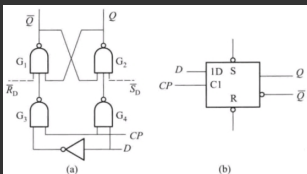


图 3.2.8 时钟脉冲高电平锁存的 D 锁存器

(a) 内部逻辑电路图 (b) 逻辑符号

电平方式锁存的同步锁存器的抗干扰能力差, 边沿触发器抗干扰能力好

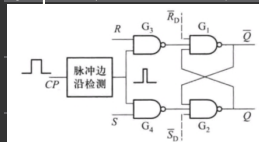


图 3.2.9 正边沿触发的 RS 触发器简化结构

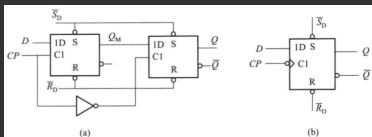


图 3.2.11 主从型 D 触发器

(a) 主从结构电路 (b) 逻辑符号

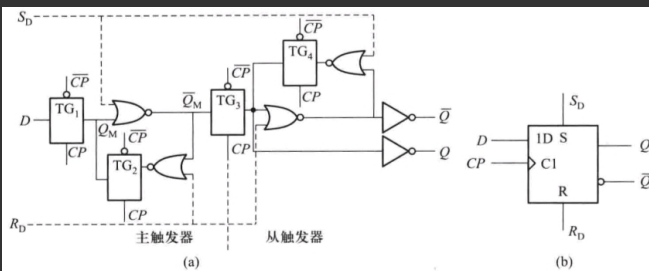


图 3.2.12 CMOS 主从型 D 触发器

(a) CMOS 主从型 D 触发器内部电路 (b) 逻辑符号

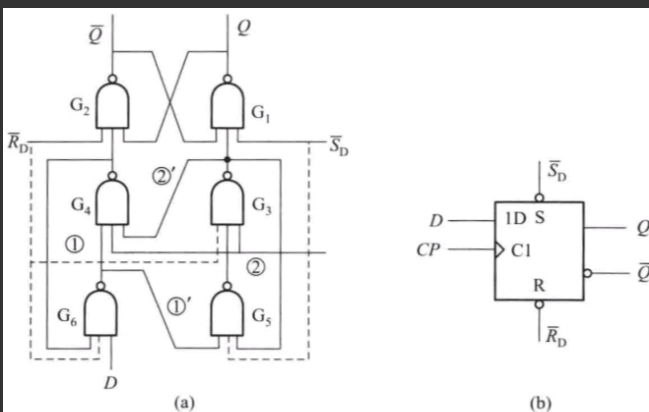


图 3.2.13 维持阻塞型 D 触发器

(a) 维持阻塞型 D 触发器的内部电路 (b) 逻辑符号

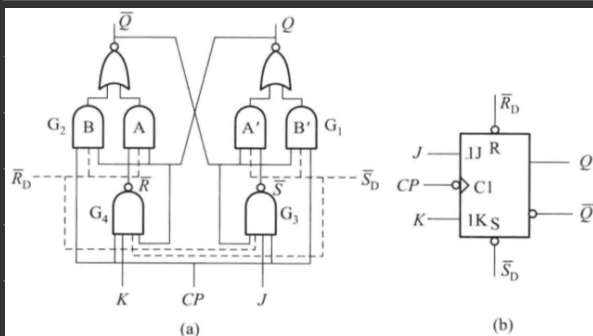


图 3.2.15 负边沿触发的 JK 触发器

(a) 内部逻辑电路 (b) 逻辑符号

$$Q^{n+1} = J\overline{Q^n} + \overline{K} \cdot Q^n$$

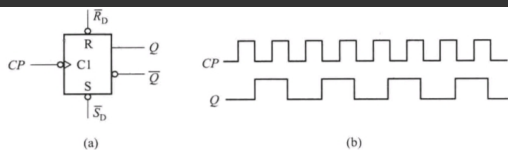


图 3.2.19 下降沿触发的 T 触发器

(a) 逻辑符号 (b) 工作波形

$$Q^{n+1} = \overline{Q}^n$$

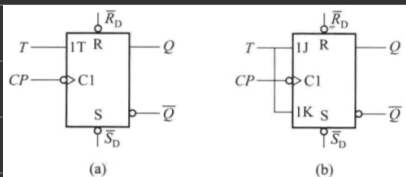


图 3.2.20 T 触发器逻辑符号

(a) 逻辑符号 (b) JK 触发器连接成 T 触发器

$$Q^{n+1} = \overline{T} \cdot Q^n + T \cdot \overline{Q}^n = T \oplus Q^n$$

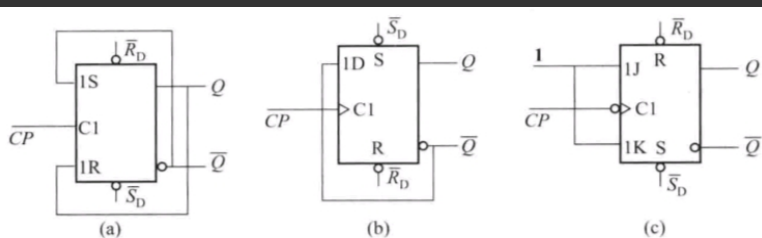


图 3.2.21 由 RS、D、JK 触发器连接成 T' 触发器

(a) RS 触发器接成 T' 触发器 (b) D 触发器接成 T' 触发器 (c) JK 触发器接成 T' 触发器

状态转换图/激励表

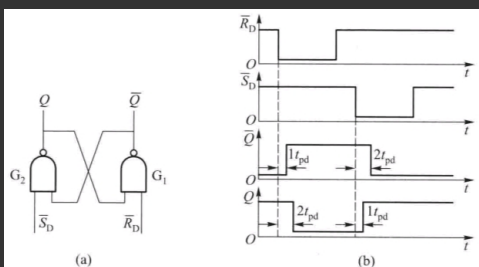
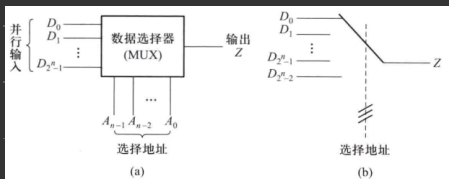
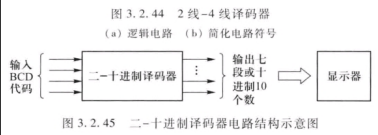
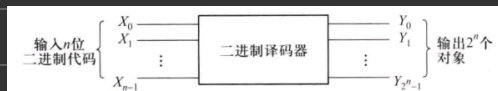
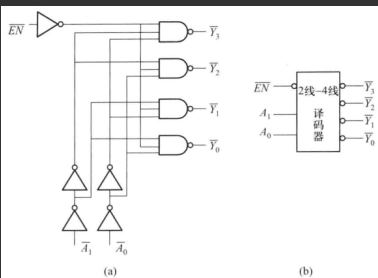
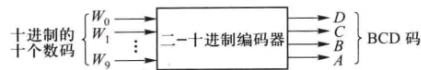
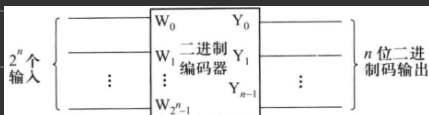
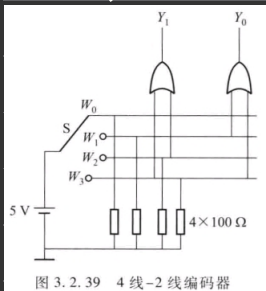


图 3.2.27 基本 RS 锁存器的动态特性

(a) 电路图 (b) 动态特性

定时考吗？



$$\begin{aligned}
 Z &= D_3(A_1 A_0) + D_2(A_1 \bar{A}_0) + D_1(\bar{A}_1 A_0) + D_0(\bar{A}_1 \bar{A}_0) \\
 &= D_3(m_3) + D_2(m_2) + D_1(m_1) + D_0(m_0) \\
 &= \sum_{i=0}^3 D_i \cdot m_i
 \end{aligned}$$

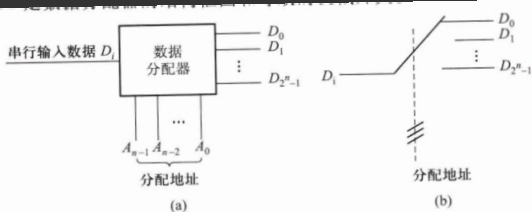


图 3.2.52 数据分配器
(a) 框图 (b) 等效机械开关

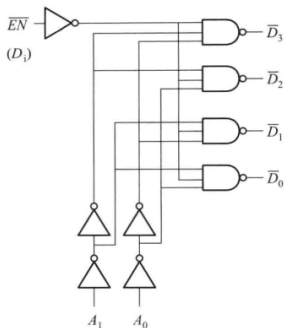


图 3.2.53 具有使能端的 2 线-4 线译码器用作 1 分 4 数据分配器

$$\begin{aligned} \overline{D_3} &= \overline{D_i(A_1 A_0)} = \overline{D_i(m_3)} & \overline{D_2} &= \overline{D_i(A_1 \overline{A_0})} = \overline{D_i(m_2)} \\ \overline{D_1} &= \overline{D_i(\overline{A_1} A_0)} = \overline{D_i(m_1)} & \overline{D_0} &= \overline{D_i(\overline{A_1} \overline{A_0})} = \overline{D_i(m_0)} \end{aligned}$$

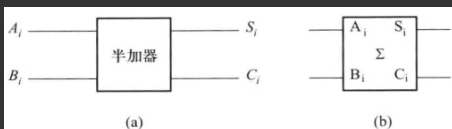


图 3.2.54 半加器
(a) 电路结构 (b) 逻辑符号

$$S_i = A_i \overline{B_i} + \overline{A_i} B_i = A_i \oplus B_i$$

$$C_i = A_i B_i$$

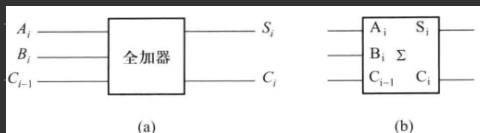
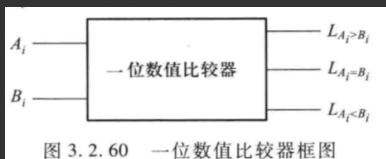


图 3.2.56 全加器
(a) 电路结构 (b) 逻辑符号

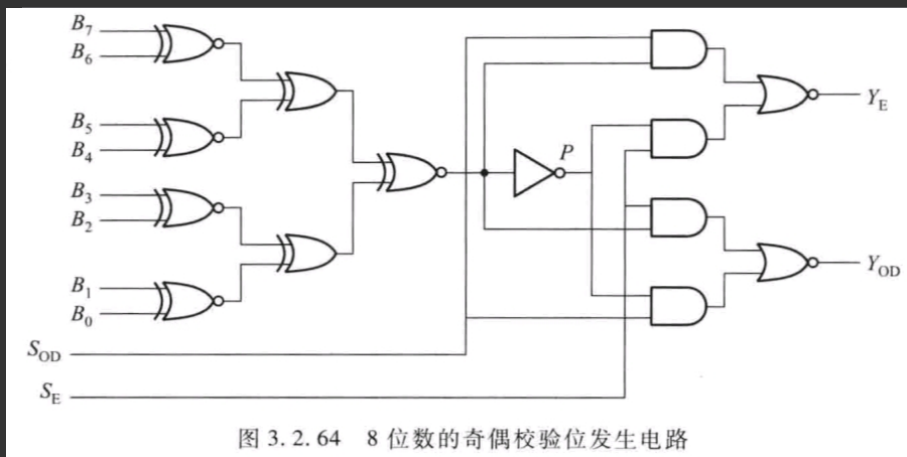
$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$



$$L_{A_i > B_i} = A_i \bar{B}_i \quad L_{A_i < B_i} = \bar{A}_i B_i$$

$$L_{A_i = B_i} = \bar{A}_i \bar{B}_i + A_i B_i$$



$$Y = A + \bar{A} \quad \text{或} \quad Y = A \cdot \bar{A} \quad \text{可能存在竞争与冒险}$$

第三章 常用集成逻辑器件

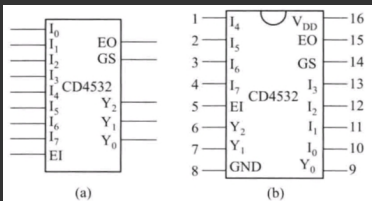


图 3.3.1 8 线-3 线优先编码器 CD4532

(a) 简化逻辑符号 (b) 引脚排列图

EI 使能控制端

EO 输出无编码输入指示 ($EI=1$) 的前提

GS 输出有编码输入指示 ($EI=1$) 的前提

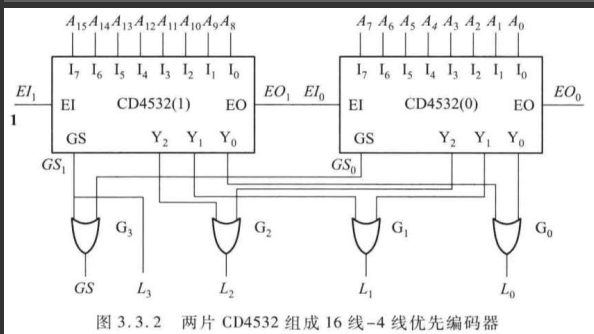


图 3.3.2 两片 CD4532 组成 16 线-4 线优先编码器

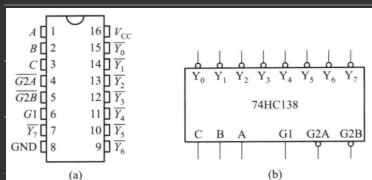


图 3.3.3 74HC138 译码器

(a) 引脚排列 (b) 简化逻辑符号

G_1 、 $\overline{G_2A}$ 、 $\overline{G_2B}$ 使能端，三个都能才可用

输出——最小量非

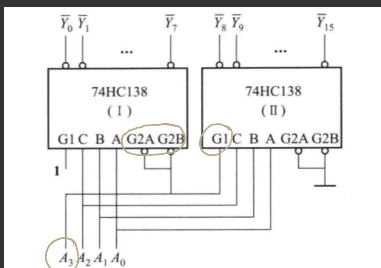
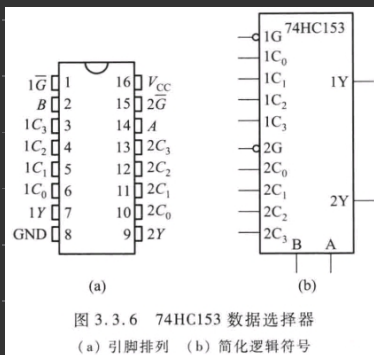
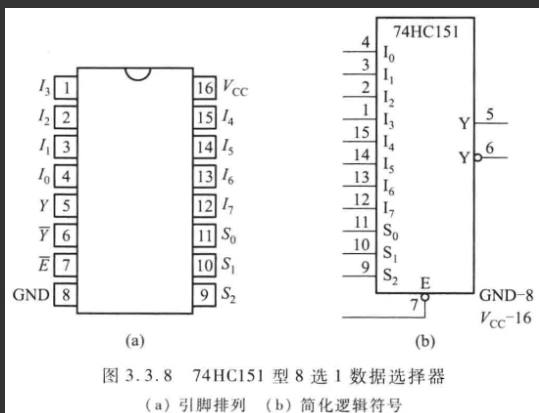
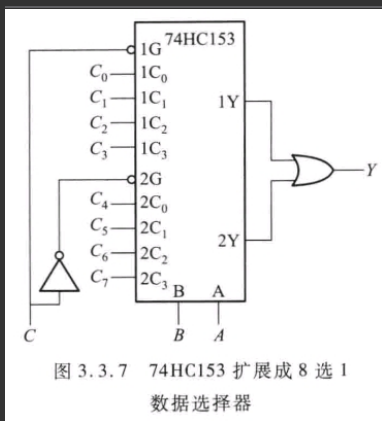


图 3.3.4 由两片 74HC138 连接成 4 线-16 线译码器



双 4 选 1 数据选择器

G 使能



S_2, S_1, S_0 选择输入

$I_0 - I_7$ 数据输入

$\bar{E}$ 使能

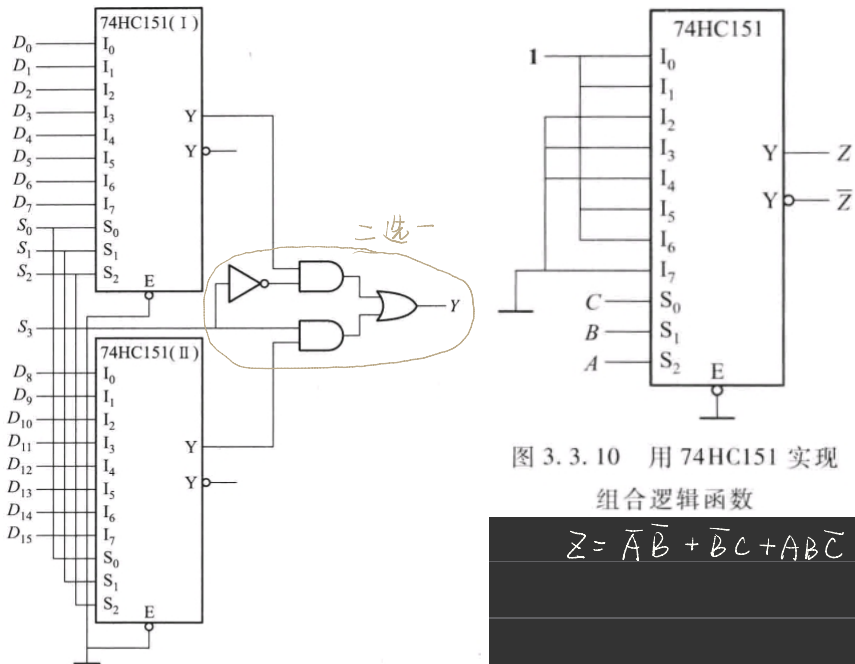


图 3.3.9 用 2 片 74HC151 和与或门组成 16 路数据选择器

图 3.3.10 用 74HC151 实现
组合逻辑函数

$$Z = \bar{A}\bar{B} + \bar{B}C + ABC$$

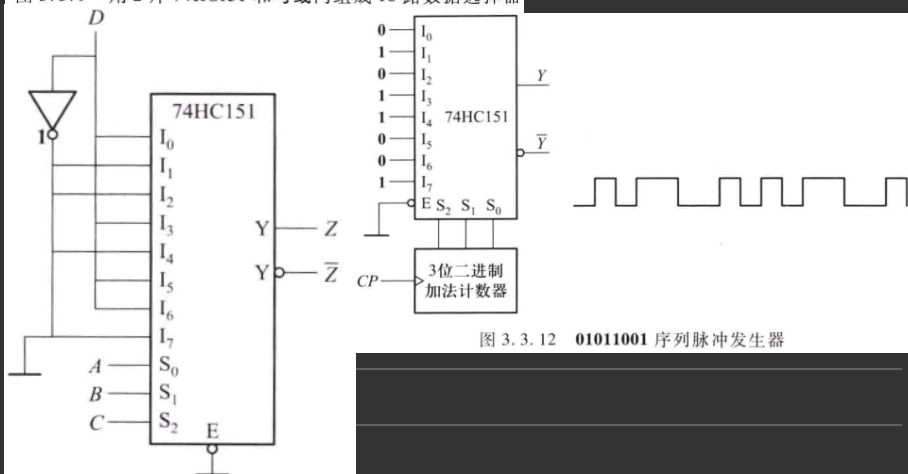


图 3.3.11 用 74HC151 实现
四位奇偶校验电路

图 3.3.12 01011001 序列脉冲发生器

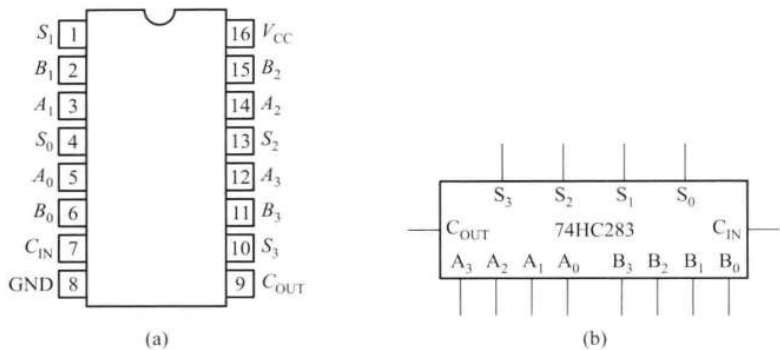


图 3.3.13 中规模集成二进制加法器 74HC283

(a) 引脚排列 (b) 简化逻辑符号

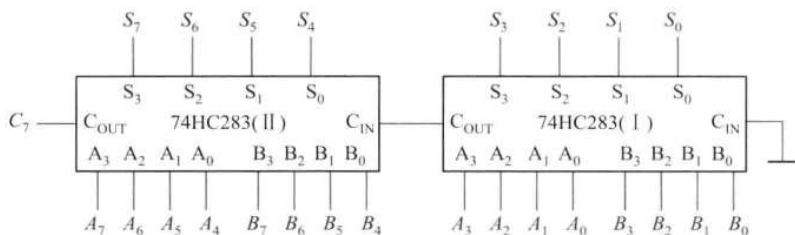


图 3.3.14 两个 8 位二进制数加法运算电路

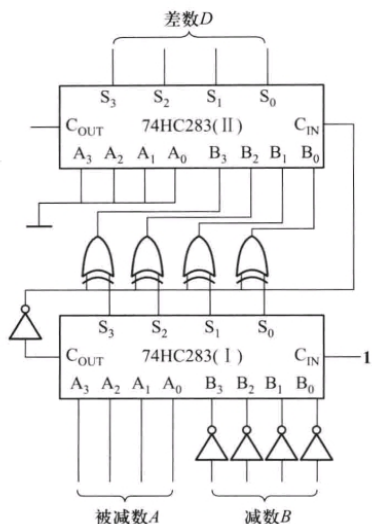


图 3.3.15 两个 4 位二进制数减法运算电路

若第 1 片有进位输出, 说明被减数 > 减数, 和为正, 以原码形式送到第 2 片.

若被减数 < 减数, 则进位输出为 0, 和数以补码形式 → 反码形式到第 2 片, 再加 1 得原码补的补 = 原

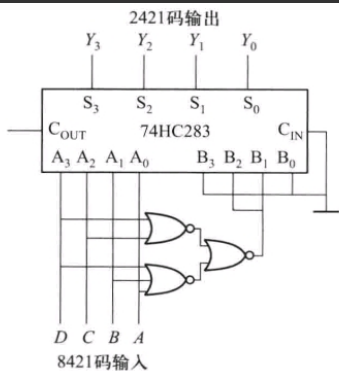


图 3.3.17 8421BCD 代码转换成 2421BCD 代码

5 及之后, 运算要求 +6

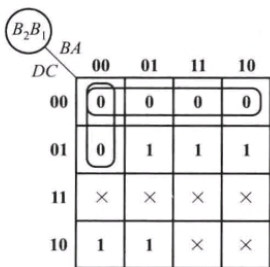


图 3.3.16 B_2 和 B_1 的卡诺图

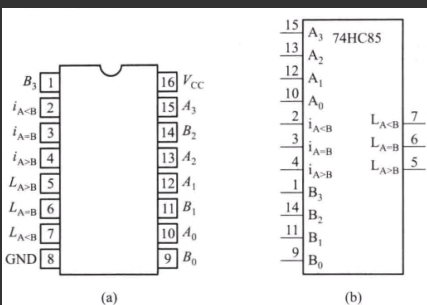


图 3.3.18 74HC85 型中规模集成四位数值比较器
(a) 引脚排列 (b) 简化逻辑符号

6 是低位比较

为低位片连接时, $L_{A=B}$ 接高电平, $L_{A>B}$ 和 $L_{A<B}$ 接地

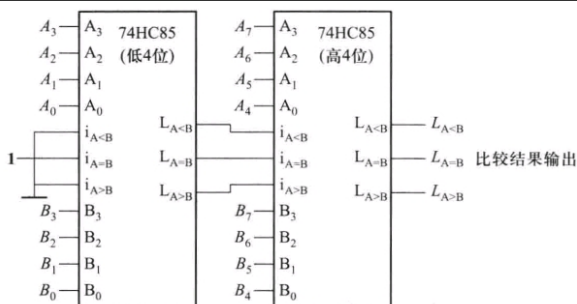


图 3.3.19 用两个 4 位数值比较器连接成的 8 位数值比较

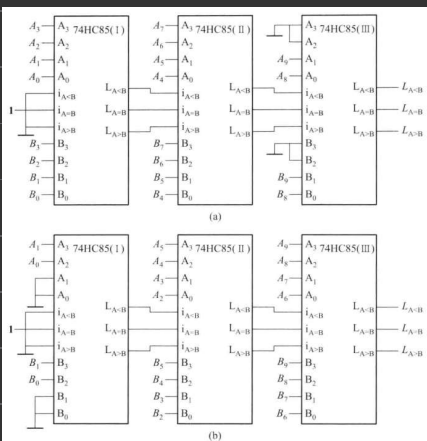


图 3.3.20 二个 10 位数值比较器的级连
(a) 低位优先 (b) 高位优先

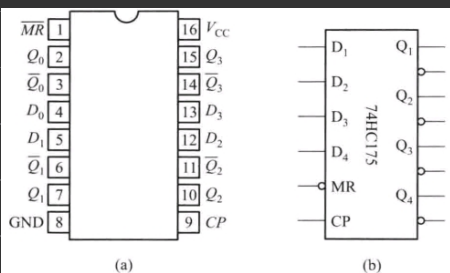


图 3.3.22 四位并行数码寄存器 74HC175
(a) 引脚排列 (b) 简化逻辑符号

4个D触发器, 数据端独立, 控制端共用
MR 清零控制端

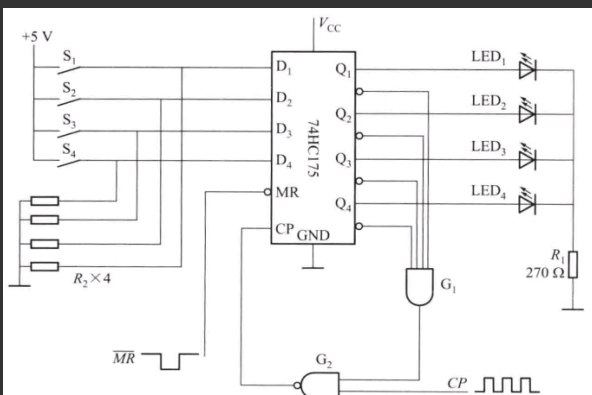
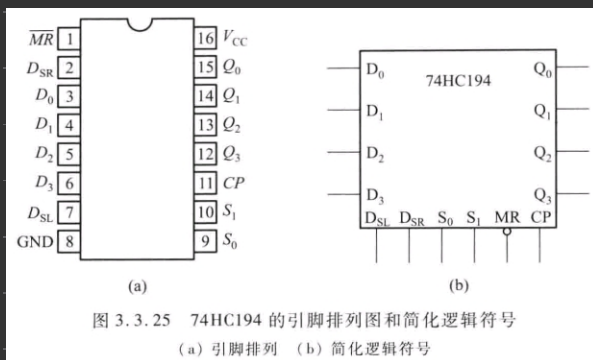


图 3.3.23 四人智力竞赛抢答控制逻辑电路



4个RS触发器

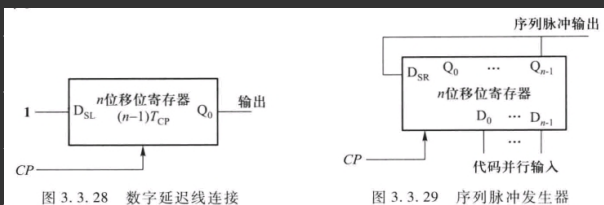
$\overline{MR}$ 异步清零

$S_1 S_0 = 00$, $CP \uparrow$, 保持

$S_1 S_0 = 01$, $CP \uparrow$, 串行右移

$S_1 S_0 = 10$, $CP \uparrow$, 串行左移

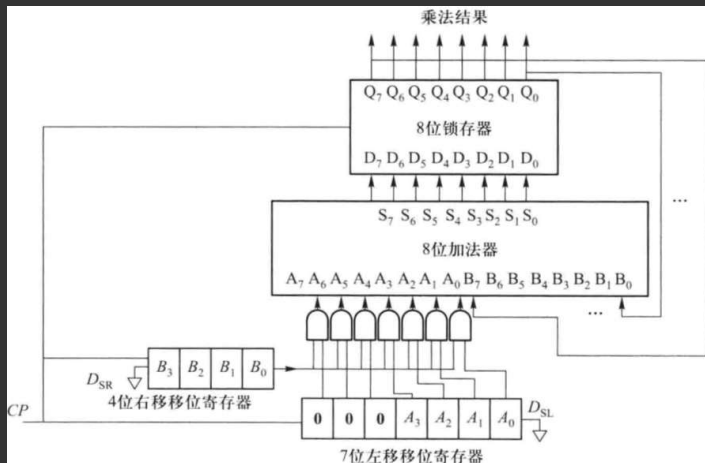
$S_1 S_0 = 11$, $CP \uparrow$, 并行寄存



Q_{n-1} 与 D_{SR} 相连

Q_0 与 D_{SL} 相连

D_{SL} 端必须经过 $(n-1)T_{CP}$ 个脉冲才能左移至 Q_0 , $(n-1)$ 个时钟脉冲的延迟



$$Y = A \times B = A \times (B_3 2^3 + B_2 2^2 + B_1 2^1 + B_0 2^0)$$

$$= (A \times 2^0) \times B_0 + (A \times 2^1) \times B_1 + (A \times 2^2) \times B_2 + (A \times 2^3) \times B_3$$

$A \times 2^i$ 等效A左移i位

两数相乘=右移+求和

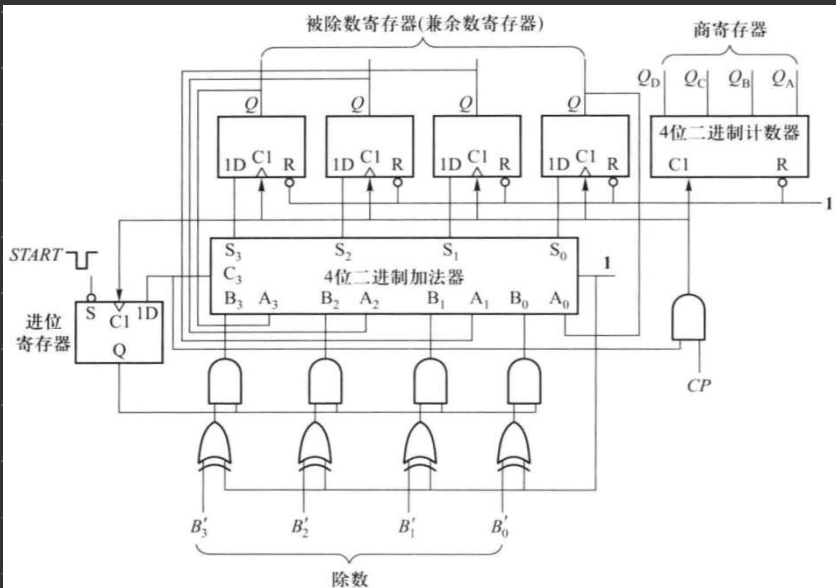


图 3.3.32 四位二进制数除法电路

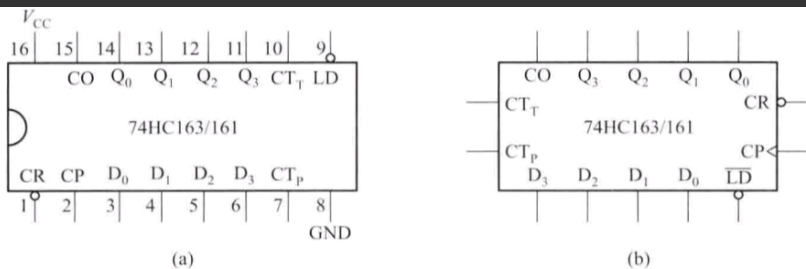
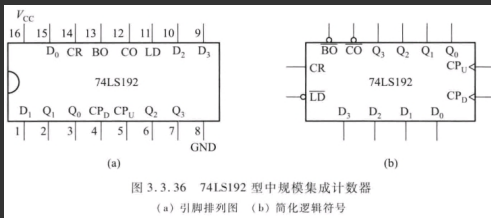


图 3.3.35 74HC163 型中规模集成计数器

(a) 引脚排列图 (b) 简化逻辑符号

163 同步清零 161 异步清零

同步置数 (LD) 计数控制端 (CT_T, CT_P, 为零时保持)



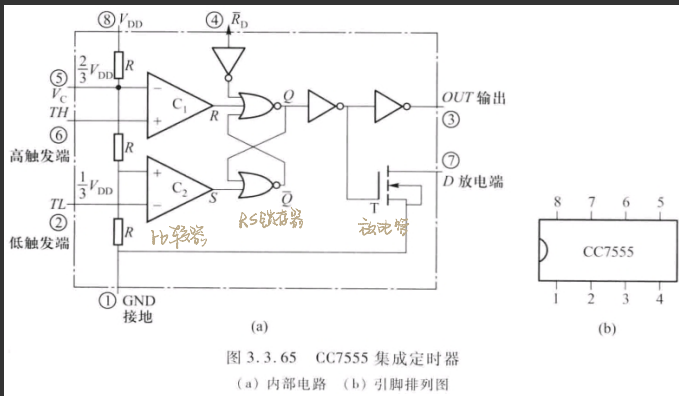
进位输出 $\overline{CO} = \overline{Q_3 Q_0 CP_V}$

借位输出 $\overline{BO} = \overline{Q_3 Q_2 Q_1 Q_0 CP_D}$

异步清零、异步置数

实现加法: $CP_D = 1, CP_V \uparrow$ 实现减法: $CP_D = 1, CP_V \uparrow$ 都为1则保持

反馈清零适用: 状态连续变化, 含有零状态, 只能加法



1) $V_{TL} > \frac{1}{3} V_{DD}$ 时, $S=0$; $V_{TL} < \frac{1}{3} V_{DD}$ 时, $S=1$

2) $V_{TH} > \frac{2}{3} V_{DD}$ 时, $R=1$; $V_{TH} < \frac{2}{3} V_{DD}$ 时, $R=0$.

表 3.3.13 CC7555 功能表

V_{TL}	V_{TH}	R	S	Q
$< \frac{1}{3} V_{DD}$	$< \frac{2}{3} V_{DD}$	0	1	1
$< \frac{1}{3} V_{DD}$	$> \frac{2}{3} V_{DD}$	1	1	禁用
$> \frac{1}{3} V_{DD}$	$< \frac{2}{3} V_{DD}$	0	0	保持
$> \frac{1}{3} V_{DD}$	$> \frac{2}{3} V_{DD}$	1	0	0

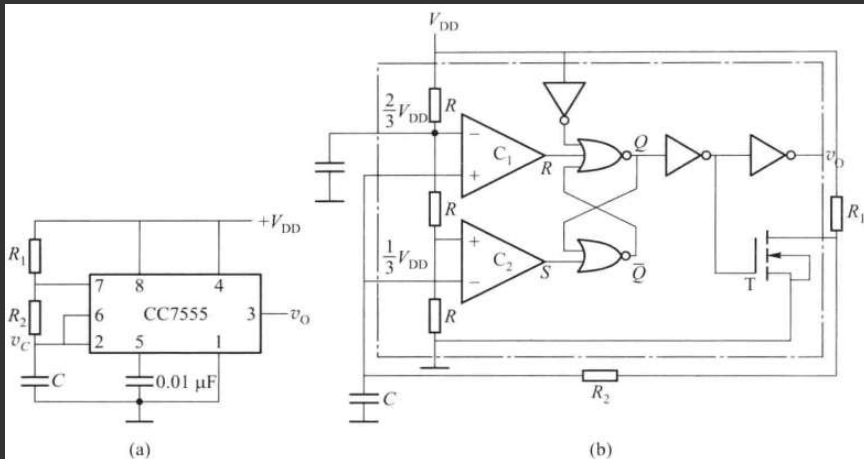


图 3.3.66 555 构成多谐振荡器

(a) 电路连接 (b) 原理图

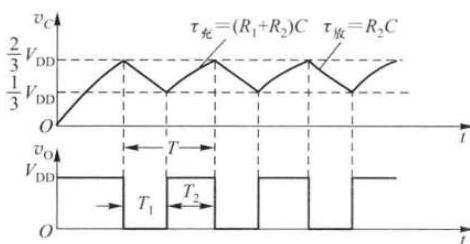


图 3.3.67 多谐振荡器工作波形

$$\text{振荡周期: } T = T_1 + T_2 = R_2 C \ln \frac{V_{DD} - \frac{1}{3}V_{DD}}{V_{DD} - \frac{2}{3}V_{DD}} + (R_1 + R_2) C \ln \frac{V_{DD} - \frac{1}{3}V_{DD}}{V_{DD} - \frac{2}{3}V_{DD}} = (R_1 + 2R_2) C \ln 2$$

$$\text{占空比: } D = \frac{T_2}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$$

应用: ① 引脚 5 加上 V_C , 振荡周期 T 改变, 实现电压控制振荡频率的目的

② 引脚 4 加上低频脉冲信号 $\bar{R}_D$, 电路在 $\bar{R}_D$ 高电平时振荡, 低电平时停振



图 3.3.68 $\bar{R}_D$ 端控制的脉冲调制波

②重新设计比容的充放电回路,可能实现占空比大范围调节,而振荡周期不变的脉宽调制输出(PWM浪)

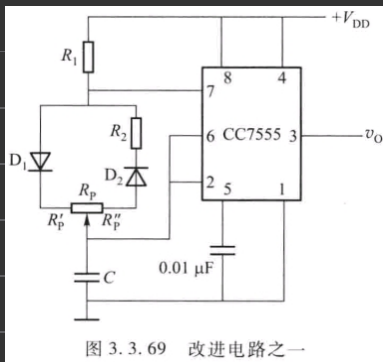


图 3.3.69 改进电路之一

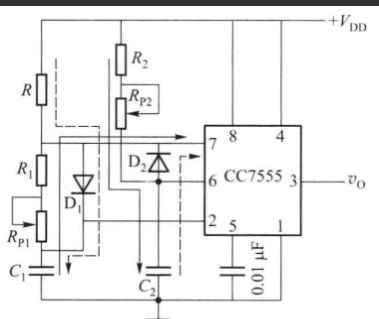


图 3.3.70 改进电路之二

以 $(R_1 + R_p')$ C 时间常数充电,

以 $(R_2 + R_p)$ C 时间常数放电,

振荡周期 $T = (R_1 + R_2 + R_p) C \ln 2$

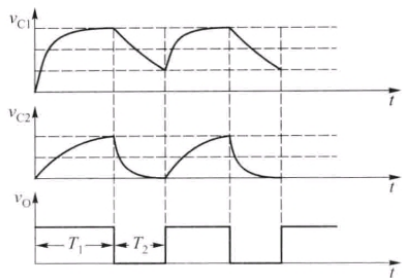


图 3.3.71 图 3.3.70 电路的振荡波形

C_1 充电至 $\frac{2}{3}V_{DD}$ 时, 电路状态翻转

C_1 放电至 $\frac{1}{3}V_{DD}$ 时, 电路状态翻转

$T = T_1 + T_2 = (R_2 + R_{p2}) C_1 \ln 3 + (R_1 + R_{p1}) C_1 \ln 3$

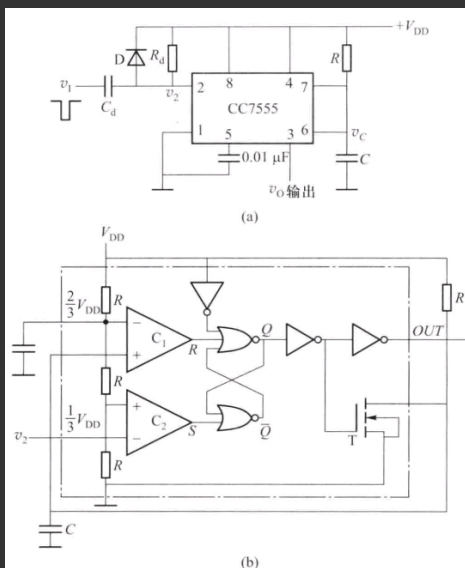


图 3.3.72 555 构成单稳态触发器

(a) 电路连接 (b) 原理图

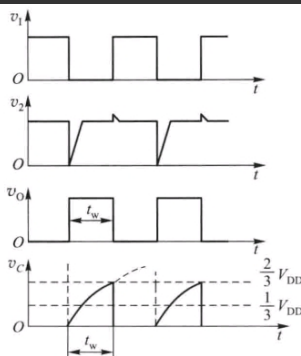
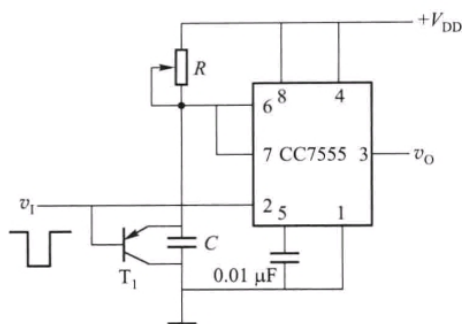


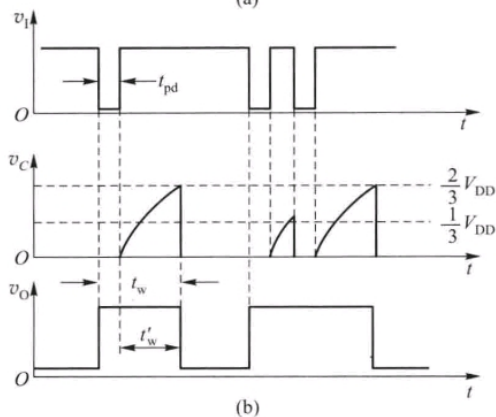
图 3.3.73 单稳态工作波形

负窄脉冲取决于 T_d , $T_d = R_d C_d < \tau = RC$

$$t_w = RC \ln \frac{V_{DD} - V}{V_{DD} - \frac{2}{3}V_{DD}} = RC \ln 3$$



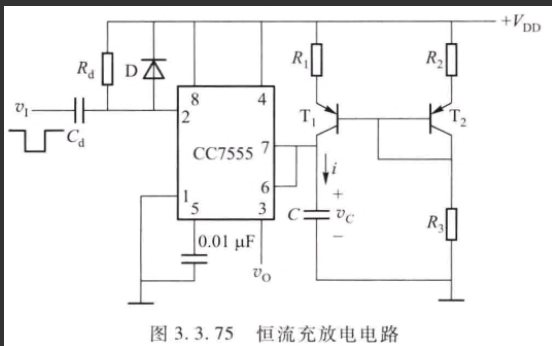
(a)



(b)

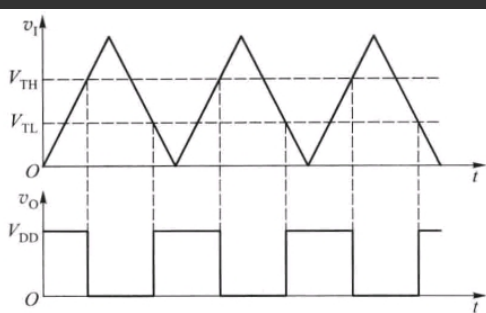
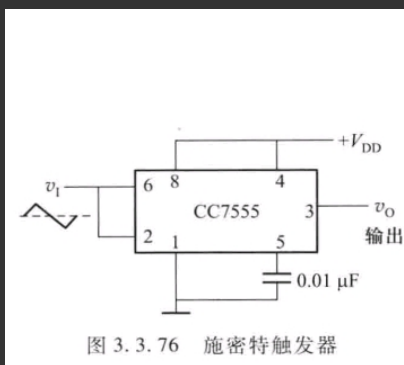
图 3.3.74 555 构成可重触发单稳电路及波形

(a) 电路 (b) 波形



$$V_C = \frac{1}{C} \int_0^{t_w} I dt = \frac{1}{C} t_w = \frac{2}{3} V_{DD}$$

$$t_w = \frac{2}{3} \frac{V_{DD} C}{I}$$



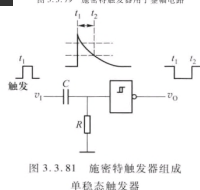
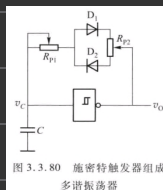
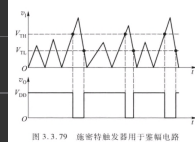
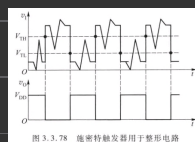
应用: ① 三角波 $\rightarrow$ 方波

② 将幅度不超过触发电平 of 的干扰脉冲消除

③ 将高于 V_{TH} 的脉冲鉴别出来

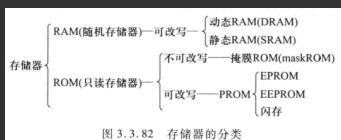
④ 构成多谐振荡器

⑤ 构成单稳态触发器

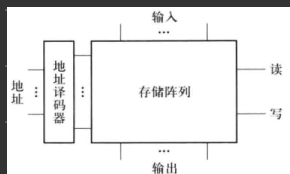


随机存储器 RAM: 非永久性存储器, 读、写速度一样

P. 读存储器 ROM: 不丢失, 写比读慢得多



公共时制造商将用户指定数据固化的于存储单元中



RAM 有所有结构

ROM 无输入和写

存储容量: 字数 $\times$ 位数 一个 10 位地址的 RAM, 每个存储单元 1 位二进制, 则容量 $2^{10}(\text{字}) \times 1(\text{位}) = 1024 \text{ 字节}$

11 根地址线, 8 位数据线, 存储容量 $2^{11} \times 8 = 2048 \times 8 \text{ 字节} (2k \times 8 \text{ 字节})$

DRAM 存在静态功耗

